

X86 (IA32) arhitektura

- 4004
 - ◆ 1969
 - ◆ 4 bitni
 - ◆ Prvi komercialni procesor
- 8080, 8085
 - ◆ 8 bitni
- 8086, 8088
 - ◆ 1978
 - ◆ 16 bitni
 - ◆ 1MB pomnilnika (preko segmentov po 64 K)

- 80286
 - ◆ 16 bitni
 - ◆ Zaščitni način delovanja
 - ◆ 16 MB pomnilniškega prostora
 - ◆ Podpora za navidezni pomnilnik (segmenti) in več procesno delo
- 80386
 - ◆ 32 bitni, kompatibilen navzdol
 - ◆ Virtualni 8086 način delovanja za 8080 programe
 - ◆ 64 GB pomnilniškega prostora
 - ◆ Podpora za navidezni pomnilnik na osnovi strani (flat model)
 - ◆ 6 vzporedno delujočih podenot

- 80486
 - ◆ Povečana paralelnost delovanja (5 stopenjska cev)
 - ◆ 8K L1 predpomnilnik
 - ◆ Integriran FPU
- Pentium
 - ◆ Dodana še ena izvajalna cev (izvajanje dveh ukazov hkrati)
 - ◆ 8K L1 predpomnilnika za podatke in 8K za program
 - ◆ Predvidevanje skokov
 - ◆ Širša interna vodila (128 in 256 bitov)
 - ◆ Eksplozivni prenos podatkov
 - ◆ Podpora večprocesorskemu delu

- Pentium Pro

- ◆ Dodana še tretja izvajalna cev
- ◆ Mešano izvajanje ukazov (out of order)
- ◆ Uporaba mikro ukazov (micro-ops)
- ◆ 8K+8K L1 in 256K L2 predpomnilnika
- ◆ Optimiziran za 32 bitne programe

- Pentium II

- ◆ Dodani MMX ukazi
- ◆ Razširjen predpomnilnik (16K+16K L1, 256K .. 2M L2, ki deluje na polivični ali polni frekvenci)

- Pentium III
 - ◆ Kombinacija Pentium in Pentium Pro
 - ◆ Dodanih 70 novih ukazov (SSE)
- Pentium 4
 - ◆ Nova arhitektura (NetBurst)
 - ◆ Dodanih 144 novih ukazov (SSE2)
 - ◆ Povečana prepustnost podatkov (3,2 GB/s, 400MHz vodilo)
 - ◆ 12 stopenjska cev
 - ◆ Hitro izvajanje enostavnih ukazov (ALE deluje z 2x frekvenco ure)
 - ◆ Poglobljena predikcija skokov
 - ◆ Dinamična analiza pretoka podatkov
 - ◆ Spekulativno izvajanje ukazov
- Xeon procesorji
 - ◆ P4 za zahtevnejše konfiguracije

Intel Processor	Date of Product Introduction	Performance ¹ in MIPS ¹	Max. CPU Frequency at Introduction	No. of Transistors on the Die	Main CPU Register Size ²	Extern. Data Bus Size ²	Max. Extern. Addr. Space	Caches in CPU Package ³
8086	1978	0.8	8 MHz	29 K	16	16	1 MB	None
Intel 286	1982	2.7	12.5 MHz	134 K	16	16	16 MB	Note 3
Intel 386™ DX	1985	6.0	20 MHz	275 K	32	32	4 GB	Note 3
Intel 486™ DX	1989	20	25 MHz	1.2 M	32	32	4 GB	8KB L1
Pentium®	1993	100	60 MHz	3.1 M	32	64	4 GB	16KB L1
Pentium® Pro	1995	440	200 MHz	5.5 M	32	64	64 GB	16KB L1; 256KB or 512KB L2
Pentium II®	1997	466	<u>266</u>	7 M	32	64	64 GB	32KB L1; 256KB or 512KB L2
<u>Pentium® - III</u>	<u>1999</u>	<u>1000</u>	<u>500</u>	<u>8.2 M</u>	<u>32 GP</u> <u>128 SIMD-FP</u>	<u>64</u>	<u>64 GB</u>	<u>32KB L1;</u> <u>512KB L2</u>

Pentium 4 processor	2000	Intel NetBurst Micro-architecture	1.50 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Execution Trace Cache; 8KB L1; 256KB L2
Intel Xeon processor	2001	Intel NetBurst Micro-architecture	1.70 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Execution Trace Cache; 8KB L1; 256KB L2

AMD

- Athlon
 - ◆ 256 Kb sekundarnega predpomnilnika v istem ohišju
 - ◆ Hitrosti delovanja nad 1Ghz (1,4 GHz)
 - ◆ CISC/RISC arhitektura: vsak CISC ukaz se prevede v enega ali več RISC ukazov
 - ◆ V enem urnem ciklu se lahko izvede do 72 RISC ukazov
 - ◆ Dinamično napovedovanje skokov in spekulativno izvajanje ukazov
 - ◆ Razširjen nabor MMX in 3DNow! Ukazov
 - ◆ 200 MHz zunanje vodilo

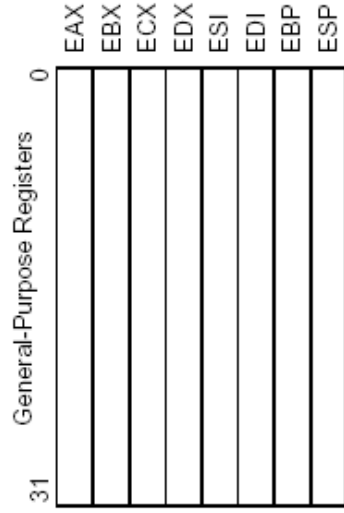
- Duron
 - ◆ Manj zahtevna verzija Athlona (0,18 mikronska tehnologija)
 - ◆ Mnajša poraba energije
- Mobile Duron
 - ◆ Dinamična prilagoditev porabljene energije

- Athlon MP
 - ◆ Devet stopenjska superskalarna arhitektura (QuantiSpeed)
 - ◆ Skupno 384 predpomnilnika na čipu
 - ◆ 266 MHz vodilo
 - ◆ 0,18 mikronska bakrena tehnologija
- Athlon XP
 - ◆ Hitrost delovanja do 1,67 GHz (2000+)
 - ◆ “Hardware data prefetch” – na osnovi analize toka ukazov vnaprej prečita podatke v predpomnilnik
 - ◆ Dodanih 51 novih 3DNow! ukazov

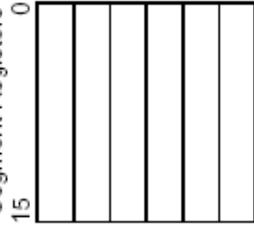
- Athlon XP
 - ◆ Hitrost delovanja do 1,67 GHz (2000+)
 - ◆ “Hardware data prefetch” – na osnovi analize toka ukazov vnaprej prečita podatke v predpomnilnik
 - ◆ Dodanih 51 novih 3DNow! ukazov

Programski model

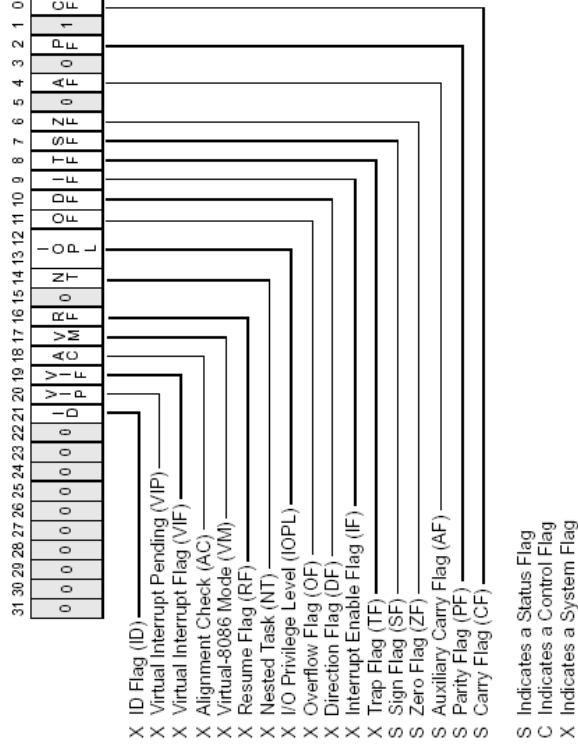
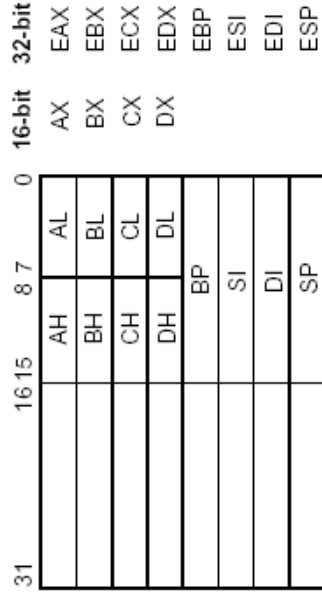
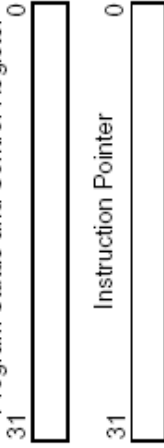
■ Osnovni registri



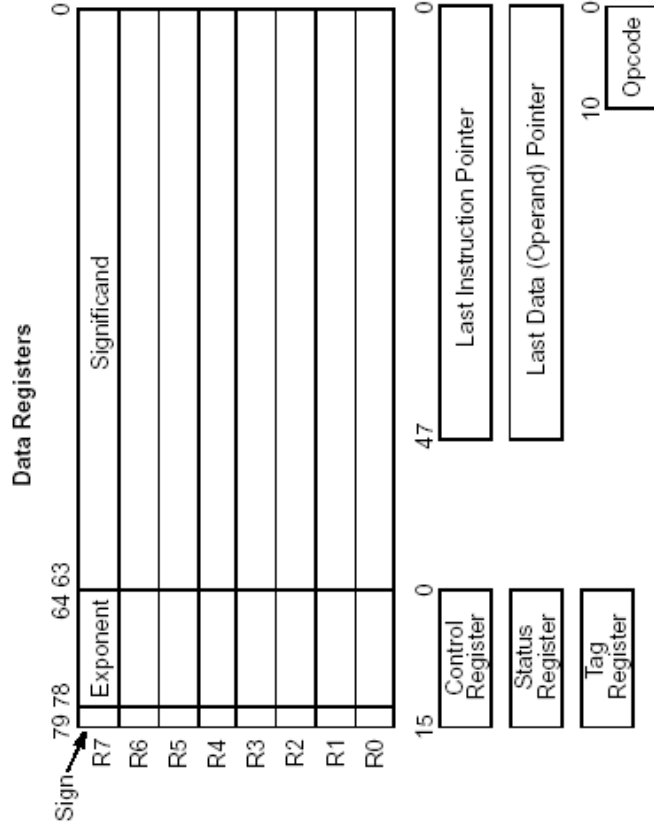
Segment Registers



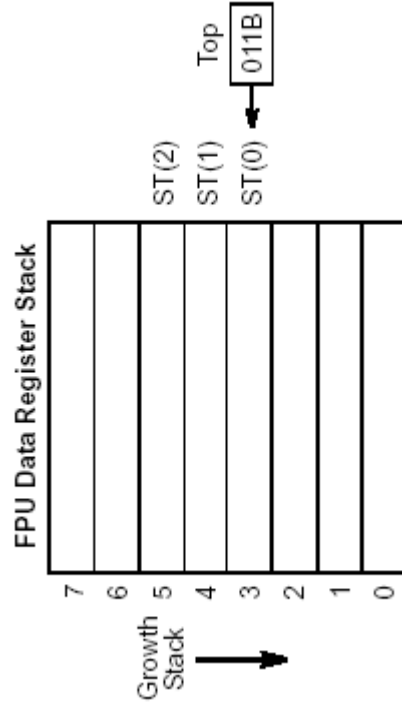
Program Status and Control Register



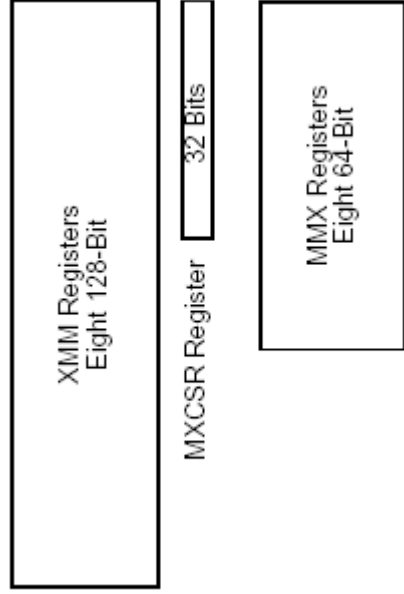
■ Registri za števila s pomično vejico



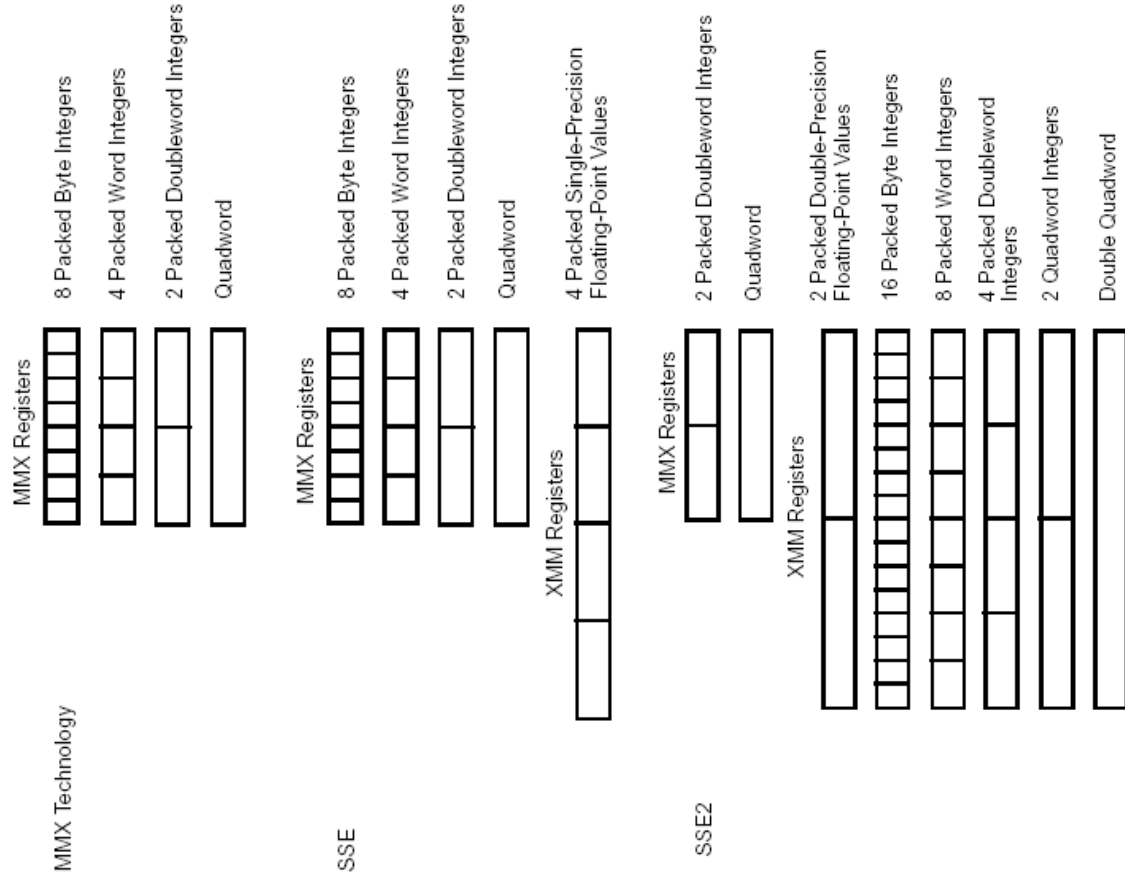
Registri so organizirani
kot sklad



■ SIMD registri



MMX registri se uporabljajo tudi pri 3DNow! ukazih

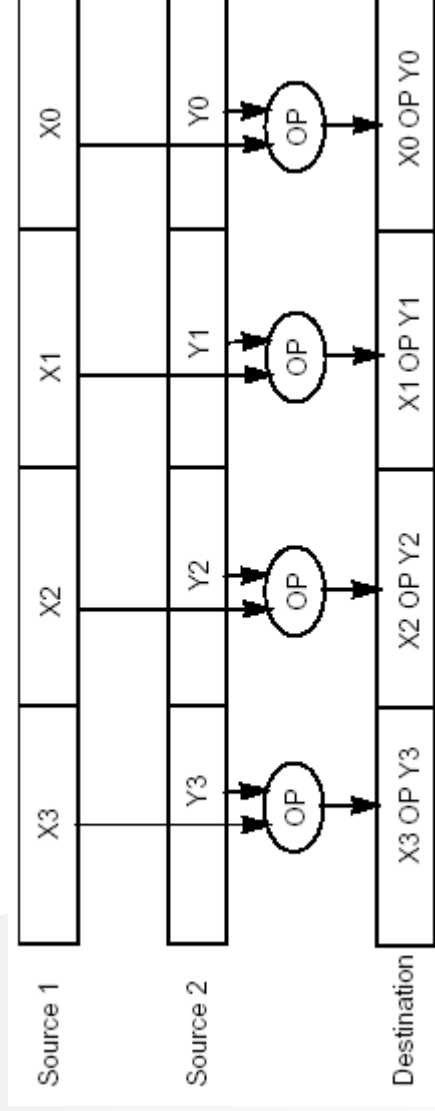


- Nabor ukazov
 - ◆ Splošni ukazi
 - ✦ Ukazi za prenos
 - ✦ Aritmetični, BCD in logični ukazi
 - ✦ Ukazi rotiranja in pomikanja
 - ✦ Ukazi za delo z biti in zlogi
 - ✦ Ukazi za nadzor izvajanja programa
 - ✦ Ukazi za delo z nizi
 - ✦ Ukazi za delo s statusnim in segmentnimi registri

- ◆ x87 FPU ukazi
- ◆ Nadzorni ukazi za x87 in SIMD
- ◆ MMX ukazi
- ◆ SSE ukazi
- ◆ SSE2 ukazi
- ◆ Sistemski ukazi

Instruction Set Architecture	IA-32 Processor Support
General Purpose	All IA-32 processors
x87 FPU	Intel486, Pentium, Pentium with MMX Technology, Celeron, Pentium Pro, Pentium II, Pentium III Xeon, Pentium III, Pentium III Xeon, Pentium 4, Intel Xeon processors
x87 FPU and SIMD State Management	Pentium II, Pentium III Xeon, Pentium III, Pentium III Xeon, Pentium 4, Intel Xeon processors
MMX Technology	Pentium with MMX Technology, Celeron, Pentium II, Pentium III Xeon, Pentium III, Pentium III Xeon, Pentium 4, Intel Xeon processors
SSE Extensions	Pentium III, Pentium III Xeon, Pentium 4, Intel Xeon processors
SSE2 Extensions	Pentium 4, Intel Xeon processors
System	All IA-32 processors

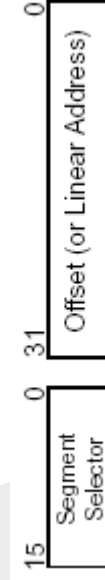
- MMX ukazi
 - ◆ Delajo nad celoštevilčnimi podatki
 - ◆ Z enim ukazom izvede operacijo nad 8 zlogi, 4 besedami ali 2 dolgima besedama
 - ◆ Ukazi: aritmetične in logične operacije, primerjave, pakiranje, prenos podatkov



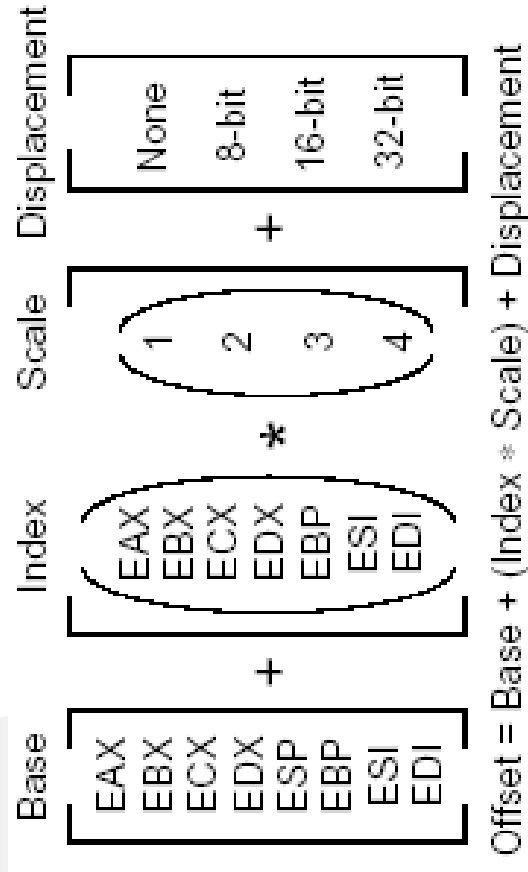
- SSE ukazi
 - ◆ Dela nad celoštevilčnimi podatki (64 bitni) in FP podatki z enojno natančnostjo
 - ◆ Dodatni ukazi za spreminjanje vrstnega reda operacij (FFT)
- SSE2 ukazi
 - ◆ Dodatna možnost dela s 128 celoštevilčnimi podatki in FP podatki z dvojno natančnostjo
- 3DNow! ukazi
 - ◆ Poleg celoštevilčnih vrednosti podpirajo še FP števila z enojno natančnostjo

■ Načini naslavljanj

- ◆ Takojšnje **MOV EAX,14**
- ◆ Registersko
- ◆ Naslavljanje V/I naprav
- ◆ Naslavljanje pomnilniških lokacij



MOV ES:[EBX], EAX

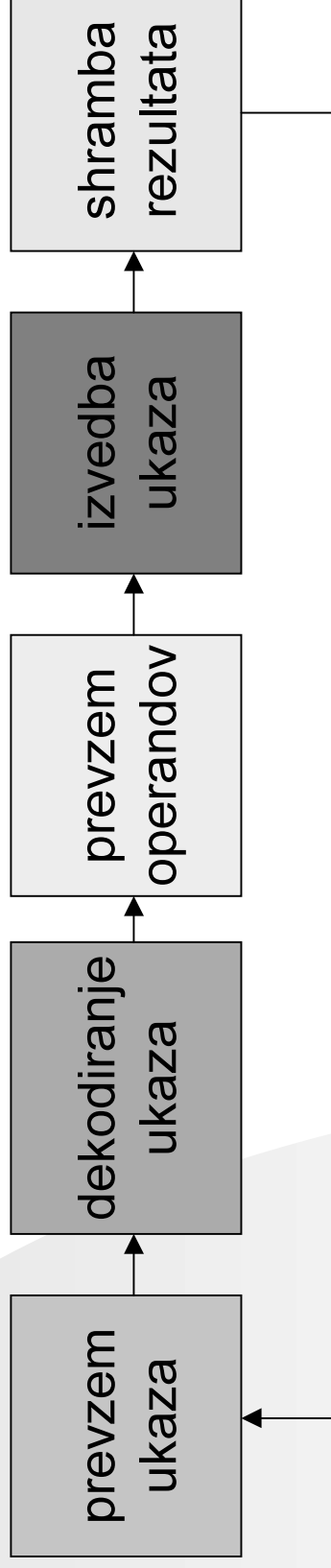


Arhitektura

- Cevenje
- Napovedovanje skokov
- Vzporedno izvajanje ukazov

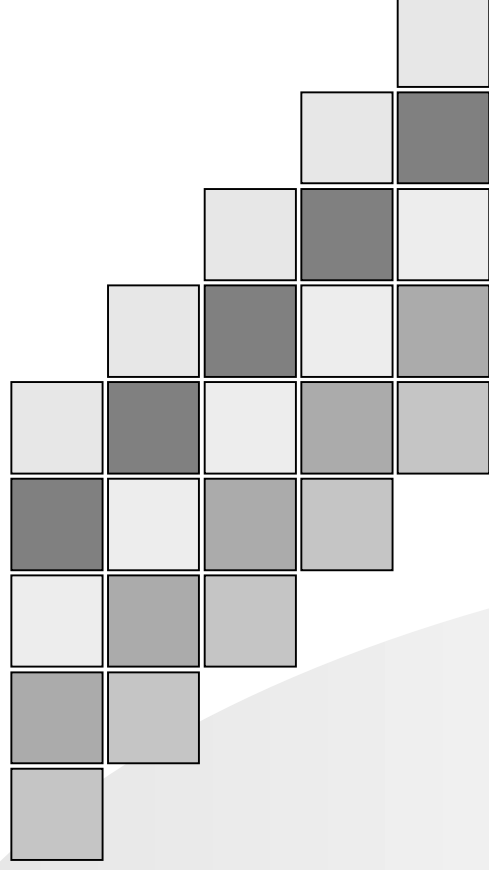
Prekrivanje faz delovanja (cevenje)

- Izvedba ukaza znotraj mikroprocesorja poteka v več zaporednih fazah



- Vsaka faza se mora izvesti do konca preden se lahko začne izvajati naslednja
 - ⇒ izvedba enega ukaza traja 5 urinih ciklov
 - ⇒ izvedba petih ukazov traja 25 urinih ciklov

- Z uporabo cevenja se istočasno obdeluje več ukazov hkrati



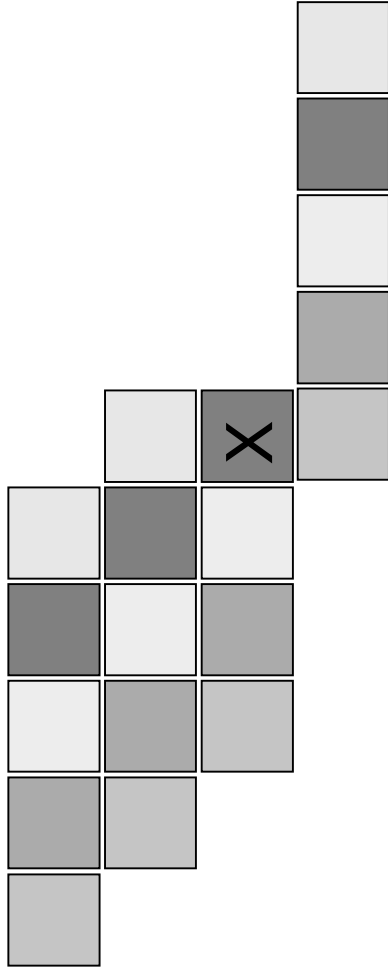
⇒ izvedba enega ukaza traja 5 urinih ciklov
⇒ izvedba petih ukazov traja 9 urinih ciklov

- Za vsako fazo skrbi ena enota znotraj mikroprocesorja – enote delujejo vzporedno

■ Zastoji pri cevenju

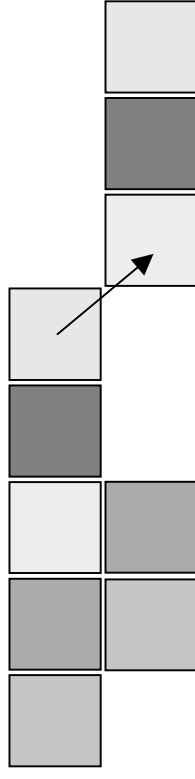
◆ (pogojni) skoki

cmp	r0,r1
jz	enaka
mov	r1,r2



◆ odvisnost med ukazi

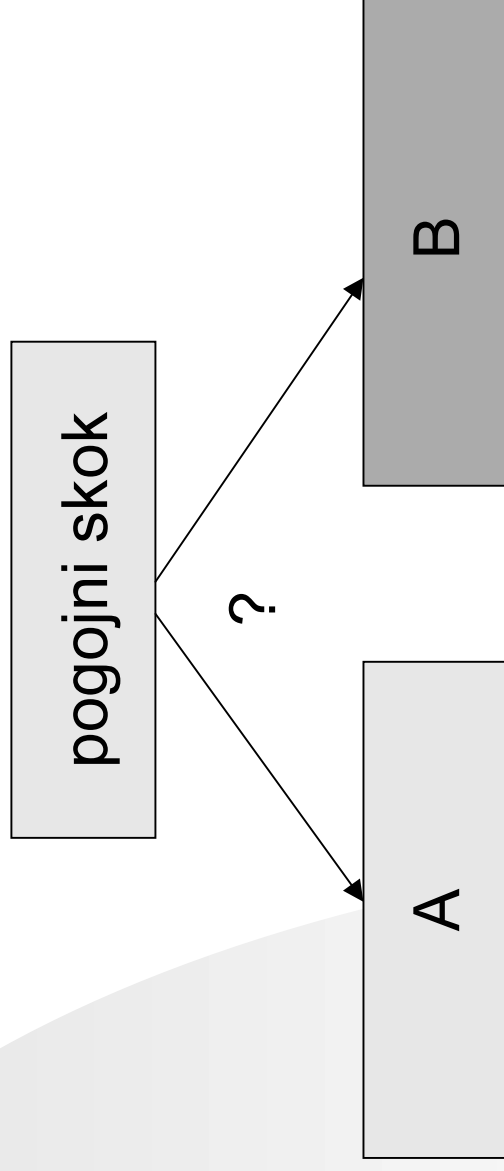
add	r0,r1	; r1=r1+r0
mov	r1,r2	; r2=r1
...		



◆ izjeme (napake), prekinitve, daljši ukazi (mul, div)

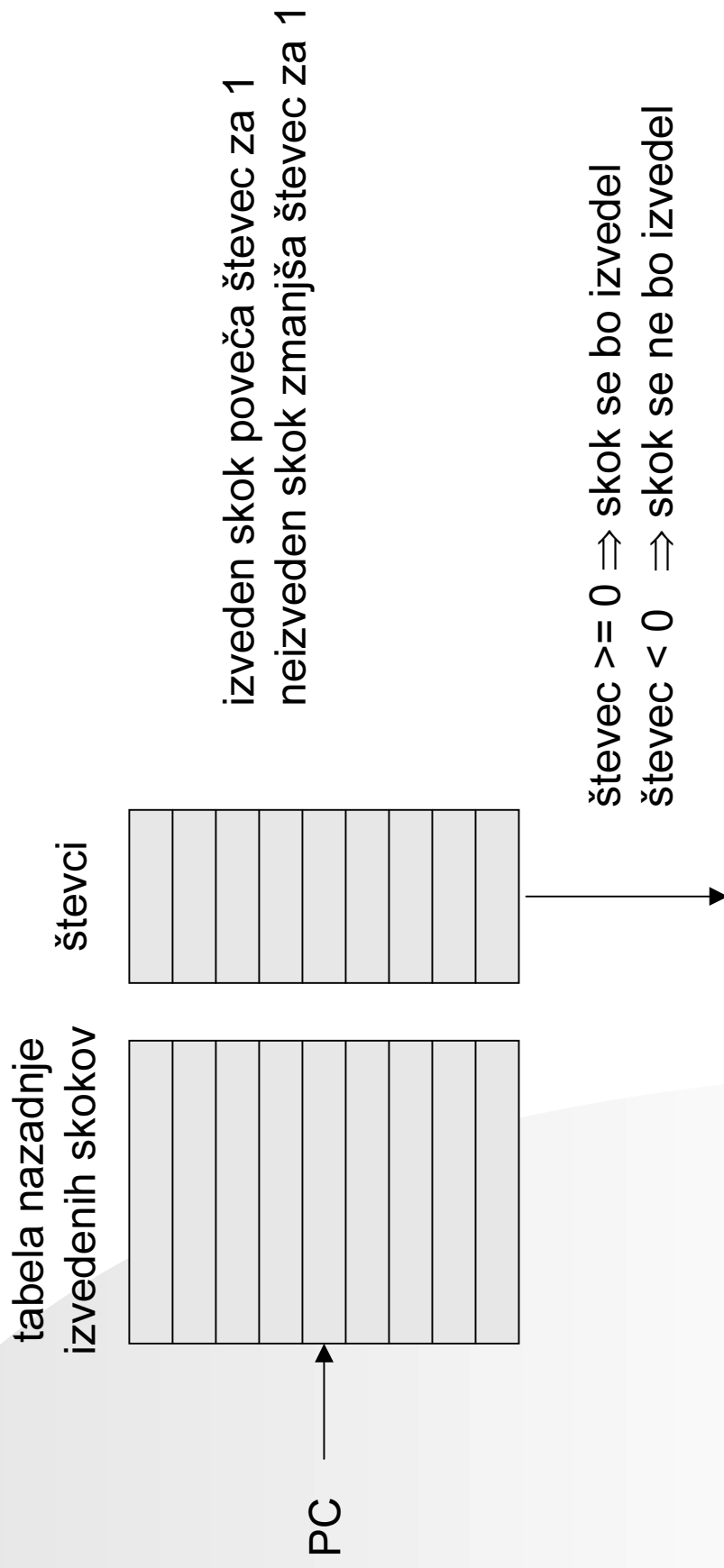
Napovedovanje skokov

- Dinamično napovedovanje izvedbe skokov
(Dynamic branch prediction)

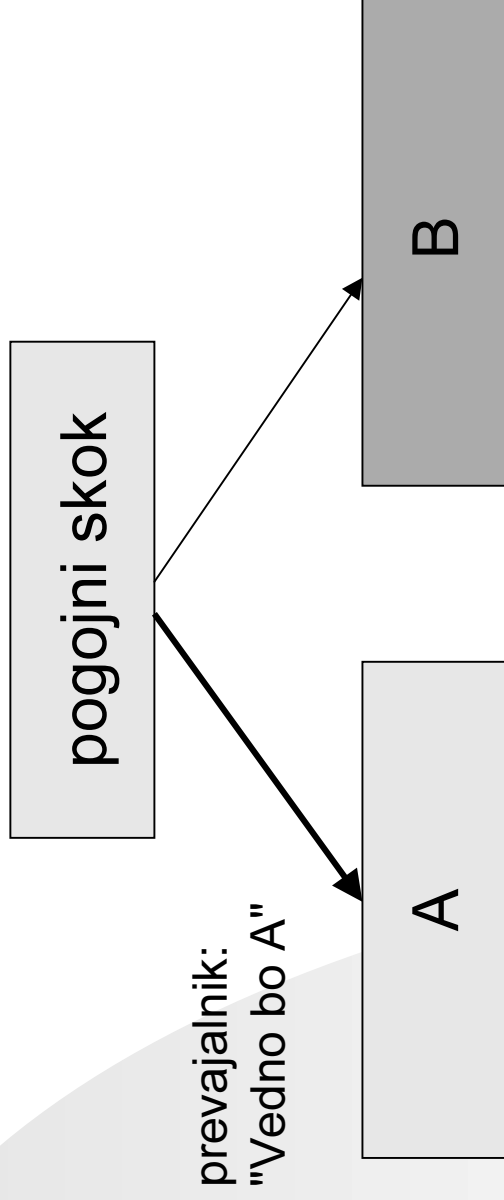


- Posebna krmilna logika "ugane" smer skoka
- V primeru napake se izkoristek bistveno zmanjša:
 - 5-10% napaka lahko povzroči 40+% zmanjšanje izkoristka

- Zgled implementacije dinamičnega napovedovanja skokov:

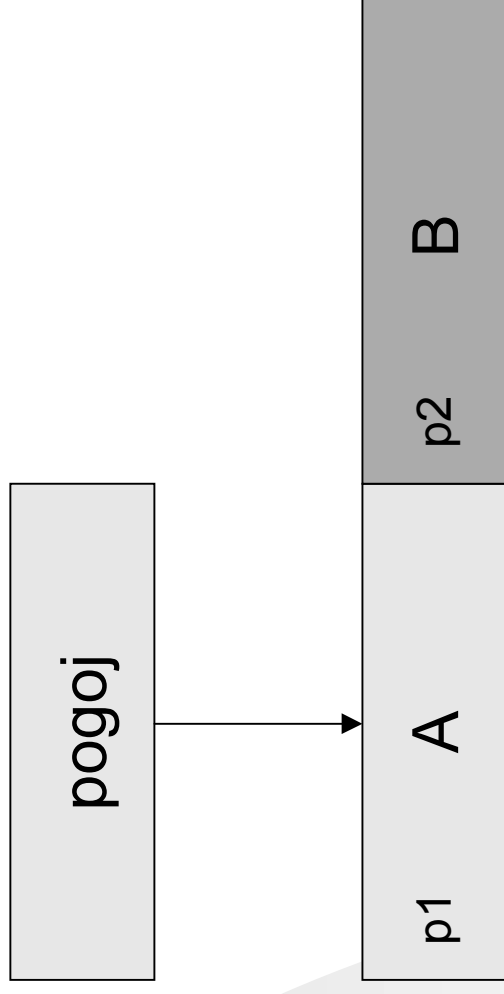


- Statično napovedovanje skokov (Static branch prediction)



- Prevajalnik določi katera pot bo skoraj vedno izbrana
- V primeru napačne napovedi se izkoristek bistveno ne zmanjša
- Ne potrebujemo (zahtevne) krmilne logike za ugibanje

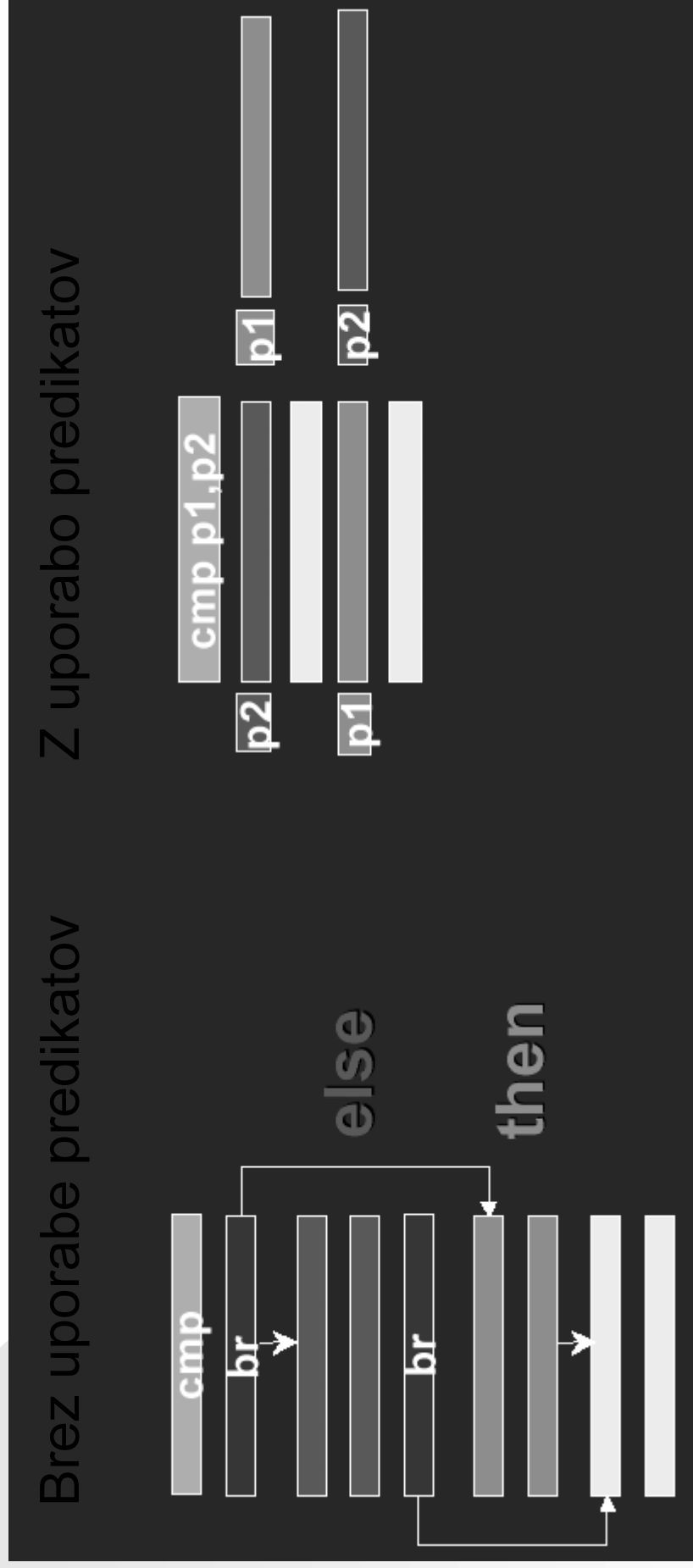
■ Uporaba predikatov (Predication)



- Odstrani pogojni skok in izvede A in B vzporedno
- Ne more priti napake v napovedovanju
- Predikata (bita) p1 in p2 določata rezultat ukaza, ki bo ostal oz. bo zavržen
- Koristna v primeru, ko je zelo težko predvideti smer skoka (npr. sortiranje)

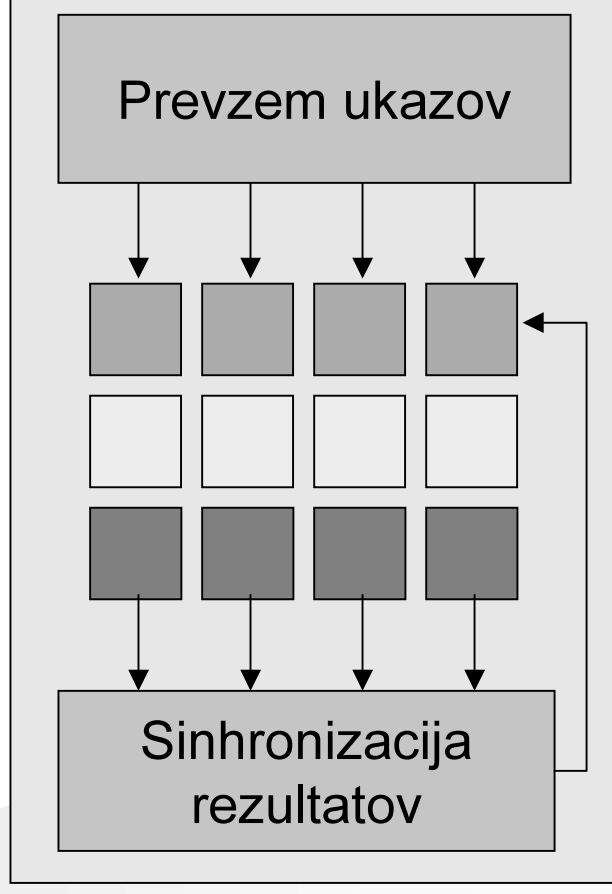
Zgled uporabe predikatnega pristopa

if A=B then else



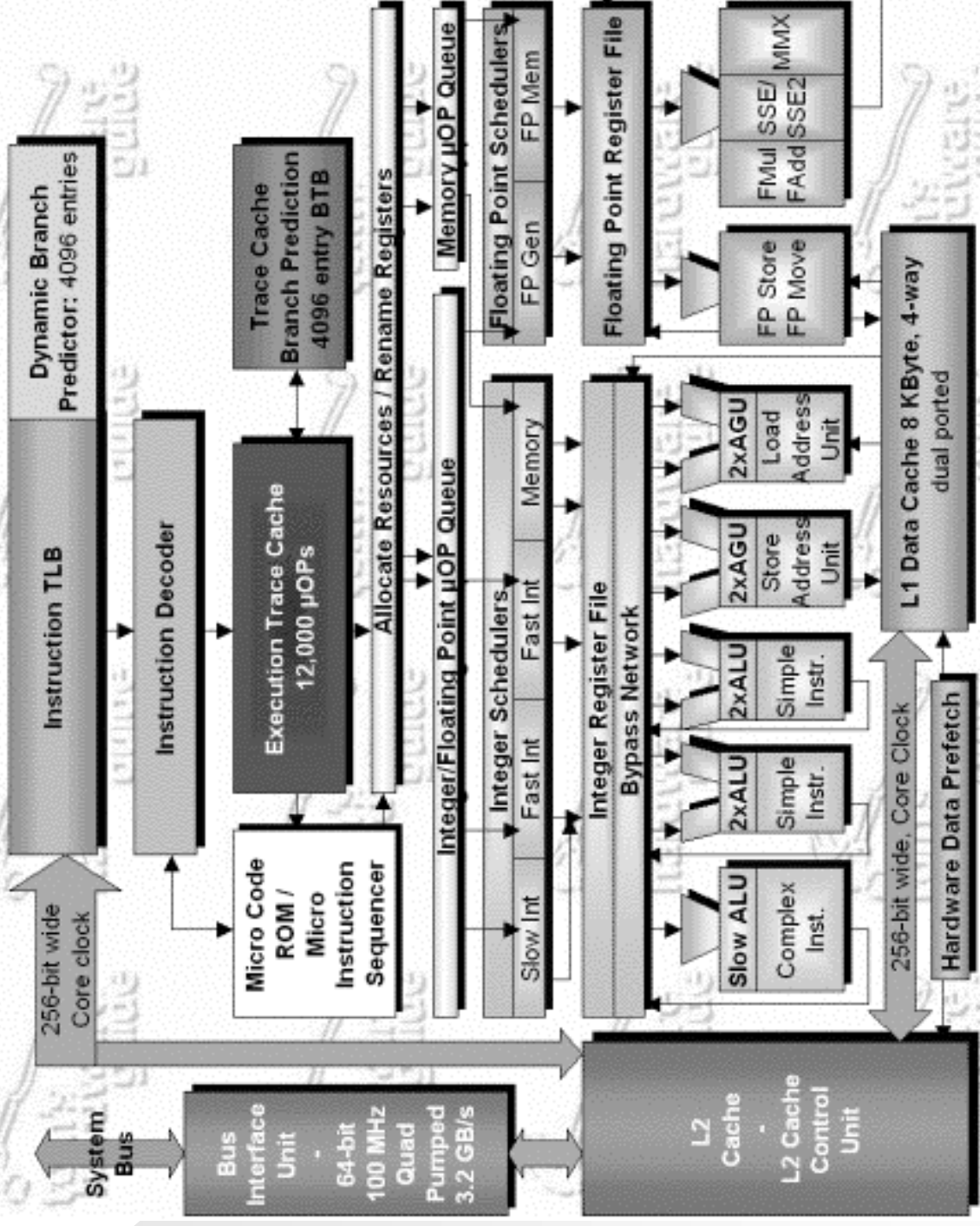
Vzporedno izvajanje ukazov (ILP - instruction-level parallelism)

- Predstavlja razširitev filozofije cevenja
- Istočasno se prečita in obdeluje več ukazov hkrati (superskalarne arhitekture)
- Za izvedbo vsake faze imamo na razpolago več neodvisnih enot



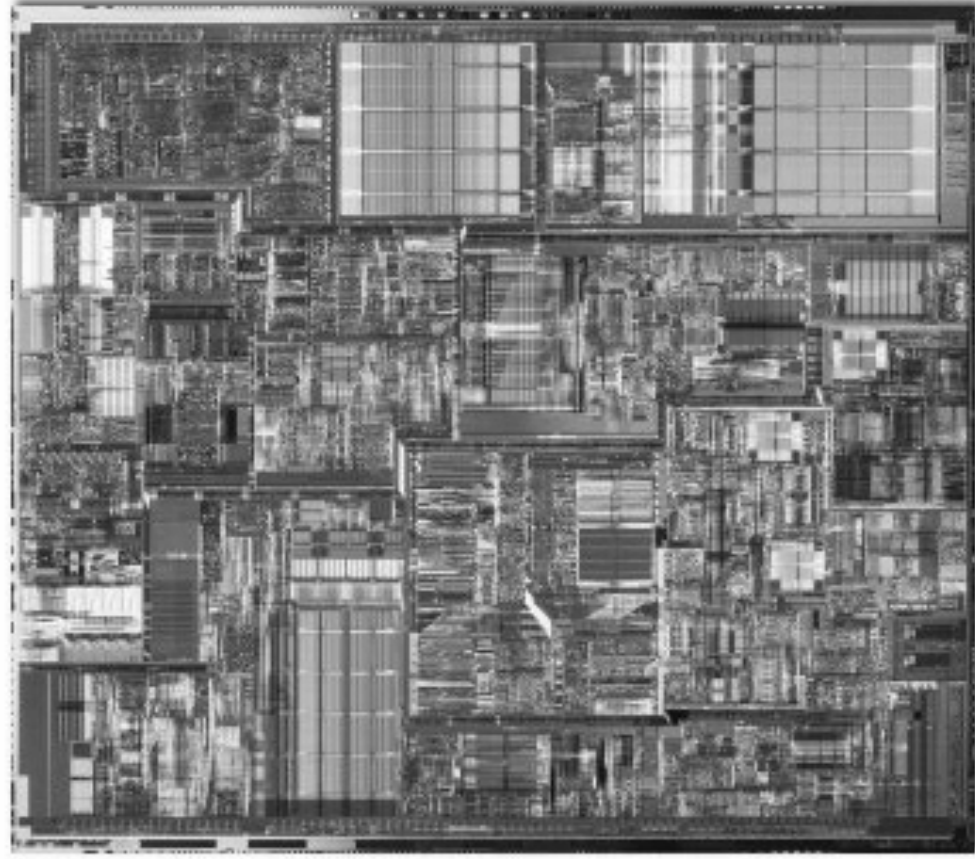
P4

Pentium(r) 4 Processor Architectural Block Diagram



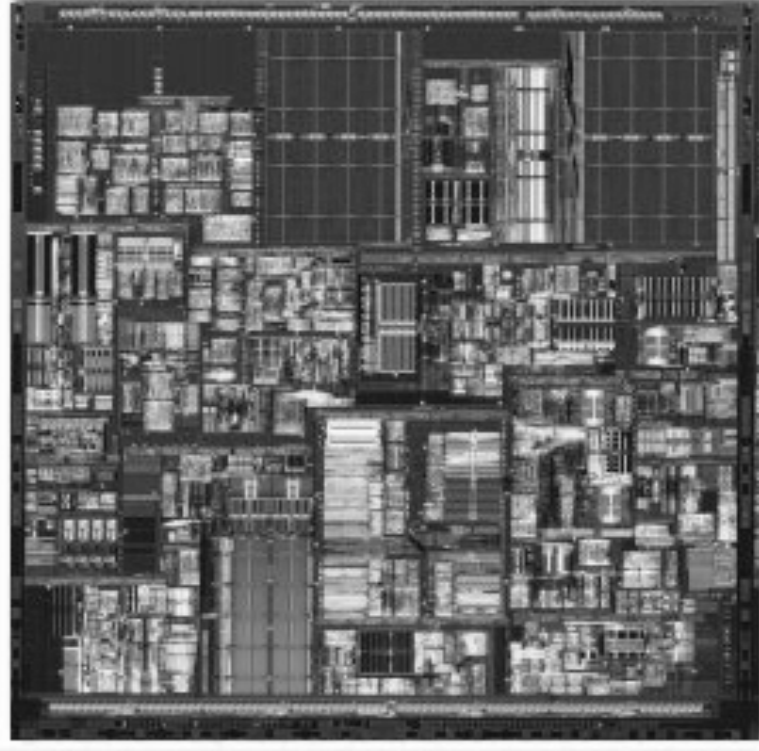
- ◆ Trije ukazni dekodirniki za x86: 1-15 zlogovne ukaze pretvorijo v MacroOP ukaze
- ◆ Nadzorna enota: skrbi za vzporedno izvajanje do 72 MacroOP ukazov hkrati
- ◆ Izvajalne enote: skrbijo za izvajanje ukazov
 - ◆ 3 za celostevilčne operacije
 - ◆ 3 za izračunavanje naslovov
 - ◆ 3 za FP, MMX in 3DNow! ukaze

Manufacturer	Intel		Intel	AMD
Processor	Pentium 4 w/Northwood Core		Pentium 4 w/Millamette Core	Athlon XP w/Palomino Core
Introduction	January 7, 2002		November 20, 2000	October 9, 2001
Clock Frequencies	2 GHz, 2.2 GHz		1.3 - 2.0 GHz	1.2 - 1.66 GHz
Manufacturing Process	0,13 μm		0,18 μm	0,18 μm
Die size	146 mm^2		217 mm^2	128 mm^2
Number of Gates	55 Million		42 Million	37,5 Million
Platform	Socket478		Socket 423, Socket478	Socket462
CPU Bus Clock (Front Side Bus)	100 MHz / 400 MHz QDR		100 MHz / 400 MHz QDR	133 MHz / 266 MHz DDR
L1 Execution Cache Size	12.000 $\mu\text{-Ops}$ (Trace Cache)		12.000 $\mu\text{-Ops}$ (Trace Cache)	64 KB
Execution Pre Decode?	yes		yes	no
L1 Data Cache Size	8 KB (unconfirmed)		8 KB	64 KB
Hardware Data Prefetch	yes		yes	yes
L1 Cache Clock	core clock		core clock	core clock
L1 Data Cache Bus Width	256-bit		256-bit	64-bit
L2 Cache Size	512 KB		256 KB	256 KB
L2 Cache Clock	core clock		core clock	core clock
L2 Cache Addressable Range	64 GB		64 GB	64 GB
Processor Data Bus Width	64-bit		64-bit	64-bit



Willamette Core (0.18μm)

10 mm



Northwood Core (0.13μm)

